

PCT

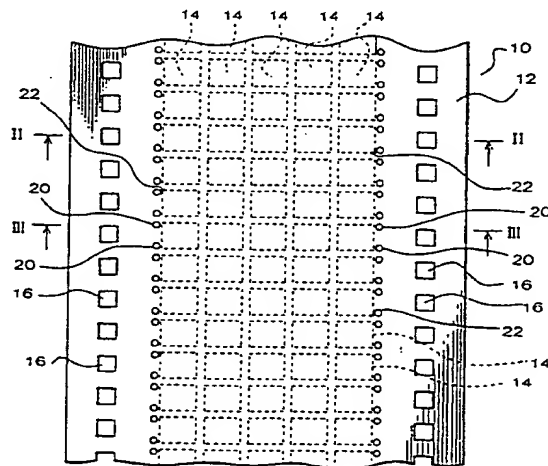
特許協力条約に基づいて公開された国際出願



(51) 国際特許分類6 H01L 21/60	A1	(11) 国際公開番号 WO00/07235
		(43) 国際公開日 2000年2月10日(10.02.00)
(21) 国際出願番号 PCT/JP99/03956		(81) 指定国 CN, JP, KR, SG, US
(22) 国際出願日 1999年7月23日(23.07.99)		添付公開書類 国際調査報告書
(30) 優先権データ 特願平10/227625 1998年7月28日(28.07.98) JP 特願平11/158278 1999年6月4日(04.06.99) JP		
(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)		
(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 橋元伸晃(HASHIMOTO, Nobuaki)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)		
(74) 代理人 井上 一, 外(INOUE, Hajime et al.) 〒167-0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 Tokyo, (JP)		

(54)Title: SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURE THEREOF, SEMICONDUCTOR MODULE, AND ELECTRONIC DEVICE INCLUDING CIRCUIT BOARD AND ELECTRONIC UNIT BOARD

(54)発明の名称 半導体装置及びその製造方法、半導体モジュール、回路基板並びに電子機器板を有する電子機器



(57) Abstract

A method of manufacturing a semiconductor device comprises the steps of winding a tape carrier (10) having a plurality of transverse lines of bonding parts (14) on a reel (24), providing anisotropic conductor film (30) at least on the bonding parts (14), placing semiconductor elements (32) on the anisotropic conductor film (30) with their faces (36) having electrodes (34) down, pressing the semiconductor elements (32) against the bonding parts (14) to connect the electrodes (34) with the bonding parts (14) electrically, forming external electrodes (38) on the tape carrier (10), and punching the tape carrier (10) into individual semiconductor elements (32).

半導体装置の製造方法は、幅方向に複数並んだボンディング部（１４）が長さ方向に繰り返して形成されたテープキャリア（１０）をリール（２４）に巻き取って用意する工程と、少なくともボンディング部（１４）上に異方性導電膜（３０）を設ける工程と、異方性導電膜（３０）上に半導体素子（３２）の電極（３４）を有する面（３６）を載せる工程と、半導体素子（３２）をボンディング部（１４）の方向に押圧してボンディング部（１４）と電極（３４）とを電氣的に接続する工程と、テープキャリア（１０）に外部電極（３８）を形成する工程と、各半導体素子（３２）ごとにテープキャリア（１０）を個片に打ち抜く工程と、を含む。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリ・ランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロヴァキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SN	セネガル
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TD	チャド
BG	ブルガリア	GM	ガンビア	MC	モナコ	TG	トーゴ
BJ	ベナン	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BR	ブラジル	GW	ギニア・ビサウ	MG	マダガスカル	TZ	タンザニア
BY	ベラルーシ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TM	トルクメニスタン
CA	カナダ	HR	クロアチア		共和国	TR	トルコ
CF	中央アフリカ	HU	ハンガリー	ML	マリ	TT	トリニダード・トバゴ
CG	コンゴ	ID	インドネシア	MN	モンゴル	UA	ウクライナ
CH	スイス	IE	アイルランド	MR	モーリタニア	UG	ウガンダ
CI	コートジボワール	IL	イスラエル	MW	マラウイ	US	米国
CM	カメルーン	IN	インド	MX	メキシコ	UZ	ウズベキスタン
CN	中国	IS	アイスランド	NE	ニジェール	VN	ヴェトナム
CR	コスタ・リカ	IT	イタリア	NL	オランダ	YU	ユーゴスラビア
CU	キューバ	JP	日本	NO	ノルウェー	ZA	南アフリカ共和国
CY	キプロス	KE	ケニア	NZ	ニュージーランド	ZW	ジンバブエ
CZ	チェコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

## 明細書

半導体装置及びその製造方法、半導体モジュール、回路基板並びに電子機器  
板を有する電子機器

### 技術分野

本発明は、半導体装置及びその製造方法、半導体モジュール、回路基板並びに  
電子機器に関する。

### 背景技術

近年の電子機器の小型化に伴い、高密度実装に適した半導体装置のパッケージ  
が要求されている。これに応えるために、BGA (Ball Grid Array) やCSP  
(Chip Scale/Size Package) のような表面実装型パッケージが開発されている。  
表面実装型パッケージでは、半導体チップに接続される配線パターンの形成され  
た基板が使用されることがある。

従来の表面実装型パッケージでは、半導体チップと配線パターンとが、ハンダ  
等の合金によって接合されていたので、信頼性及び生産性の向上が難しかった。

本発明は、この問題点を解決するものであり、その目的は、信頼性及び生産性  
に優れた半導体装置の製造方法及びその方法により製造される半導体装置、半導  
体モジュール、回路基板並びに電子機器を提供することにある。

### 発明の開示

(1) 本発明に係る半導体装置の製造方法は、マトリクス状にボンディング部  
が形成されたテープキャリアと半導体素子を接着剤により接着し、前記半導体素  
子に形成されてなる電極を前記ボンディング部に電氣的に接続し、各半導体素子  
ごとに、前記テープキャリアを個片に分離する。

本発明で、ボンディング部とは、個々の半導体素子を接続する部分のことで、  
例えば、半導体素子の電極が接合されるランドと、外部電極を形成するためのラ  
ンドと、これらのランドを接続する配線などを含んでもよい。このボンディング

部は、基板上に設けられるものであって、デバイスホール内に突出するものではない。

本発明では、テープキャリアの幅方向に、複数のボンディング部が並べて形成され、複数の半導体素子が接着されている。したがって、テープキャリアには、幅方向に複数の半導体素子が搭載されるので、大量の半導体装置を製造することができる。

(2) この半導体装置の製造方法において、

前記テープキャリアに複数の外部電極を設ける工程をさらに含んでもよい。

(3) この半導体装置の製造方法において、

前記テープキャリアを個片に分離する工程では、前記テープキャリアを個片に打ち抜いてもよい。

(4) この半導体装置の製造方法において、

前記接着剤には導電粒子が分散され、前記ボンディング部と前記半導体素子とを電氣的に接続してもよい。

本発明によれば、導電粒子によってボンディング部と電極とを電氣的に導通させるので、信頼性及び生産性に優れた方法で半導体装置を製造することができる。

(5) この半導体装置の製造方法において、

前記半導体素子に形成されてなる電極と前記ボンディング部との接続は、

前記接着剤を、前記半導体素子の前記電極を有する面と前記ボンディング部との間に介在させ、前記半導体素子と前記テープキャリアとの間に圧力を加えて、前記導電粒子を介して行われてもよい。

(6) この半導体装置の製造方法において、

リールから前記テープキャリアが引き出されて、前記工程のうちの少なくとも一部の工程が行われるとともに、他のリールに前記テープキャリアが巻き取られて次の工程に移ってもよい。

これによれば、リール・トゥ・リールでそれぞれの工程を行えるので、円滑な半導体装置の製造が可能である。

(7) この半導体装置の製造方法において、

前記工程のうち少なくとも一部の工程を、長さ方向に複数の前記ボンディング部を含む長さで前記テープキャリアを矩形基板に切断する工程の後に行ってもよい。

これによれば、矩形基板に対して工程が行われるので、製造量が比較的少ない場合には、リール・トゥ・リールで工程を行うよりも、効率的になる。

(8) この半導体装置の製造方法において、

前記テープキャリアには、前記矩形基板として切断される領域内に位置する前記ボンディング部を区画する認識マークが形成されていてもよい。

こうすることで、テープキャリアを矩形基板に切断するときの切断位置を容易に認識することができる。

(9) この半導体装置の製造方法において、

前記テープキャリアを矩形基板に切断する工程は、前記半導体素子を前記テープキャリアに接着する工程の前に行われ、

前記テープキャリアのいずれかの幅方向に一行の前記ボンディング部を基準として、長さ方向に自然数  $n \times$  定数  $d$  番目の幅方向に一行のボンディング部上で、前記テープキャリアを切断してもよい。

これによれば、矩形基板に切断しなくても使用可能なテープキャリアが使用される。そして、所定の位置のボンディング部上でテープキャリアが切断される。ここで、ボンディング部上でテープキャリアを切断するので、隣同士のボンディング部間で切断するよりも、切断領域を広く確保することができる。その結果、切断作業が容易になるのみならず、矩形基板に残されるボンディング部に切断時のストレスが伝達しなくなり、歩留まりを向上させることができる。

(10) この半導体装置の製造方法において、

前記半導体素子を前記テープキャリアに接着する工程は、前記テープキャリアを矩形基板に切断する工程の前に行われ、

前記テープキャリアのいずれかの幅方向に一行の前記ボンディング部を基準として、長さ方向に自然数  $n \times$  定数  $k$  番目の幅方向に一行のボンディング部を避けて、前記半導体素子が前記ボンディング部上に載せられ、

前記基準から、長さ方向に自然数  $n \times$  定数  $d$  ( $k \leq d$ ) 番目の幅方向に一行の配線パターン上で、前記テープキャリアを切断してもよい。

これによれば、半導体素子を載せてから、テープキャリアを矩形基板に切断するので、切断位置には半導体素子を載せないようになっている。そして、半導体素子が存在しないボンディング部上で、テープキャリアが切断される。ここで、ボンディング部上でテープキャリアを切断するので、隣同士のボンディング部間で切断するよりも、切断領域を広く確保することができる。その結果、切断作業が容易になるのみならず、矩形基板に残されるボンディング部に切断時のストレスが伝達しなくなり、歩留まりを向上させることができる。

(11) この半導体装置の製造方法において、

前記テープキャリアには、いずれかの幅方向に一行のボンディング部の形成用領域を基準として、長さ方向に自然数  $n \times$  定数  $k$  番目の幅方向に一行のボンディング部の形成用領域を避けて、前記ボンディング部が形成され、

前記テープキャリアを矩形基板に切断する工程は、前記半導体素子を前記テープキャリアに接着する工程の前に行われ、

前記基準から、長さ方向に自然数  $n \times$  定数  $d$  ( $k \leq d$ ) 番目の幅方向に一行の配線パターンの形成用領域で、前記テープキャリアを切断してもよい。

これによれば、矩形基板に切断される位置では、幅方向に一行のボンディング部の形成用領域に、ボンディング部が形成されないようになっている。こうすることで、切断領域を広く確保することができる。その結果、切断作業が容易になるのみならず、矩形基板に残されるボンディング部に切断時のストレスが伝達しなくなり、歩留まりを向上させることができる。しかも、ボンディング部が形成されない領域も、ボンディング部の形成用領域としての広さが確保されているので、ボンディング部の形成位置がずれることがない。したがって、ボンディング部の位置の認識を難しくすることがない。

(12) この半導体装置の製造方法において、

前記テープキャリアには、いずれかの幅方向に一行のボンディング部の形成用領域を基準として、長さ方向に自然数  $n \times$  定数  $k$  番目の幅方向に一行のボンディ

ング部の形成用領域を避けて、前記ボンディング部が形成され、

前記半導体素子を前記テープキャリアに接着する工程は、前記テープキャリアを矩形基板に切断する工程の前に行われ、

前記ボンディング部の形成された領域上のみにおいて、前記半導体素子が前記テープキャリアに接着され、

前記基準から、長さ方向に自然数  $n \times$  定数  $d$  ( $k \leq d$ ) 番目の幅方向に一行の配線パターンの形成用領域で、前記テープキャリアを切断してもよい。

これによれば、半導体素子を載せてから、テープキャリアを矩形基板に切断するので、切断位置には半導体素子を載せないようになっている。そして、切断位置では、幅方向に一行のボンディング部の形成用領域に、ボンディング部が形成されないようになっている。こうすることで、切断領域を広く確保することができる。その結果、切断作業が容易になるのみならず、矩形基板に残されるボンディング部に切断時のストレスが伝達しなくなり、歩留まりを向上させることができる。しかも、ボンディング部が形成されない領域も、ボンディング部の形成用領域としての広さが確保されているので、ボンディング部の形成位置がずれることがない。したがって、ボンディング部の位置の認識を難しくすることがない。そして、ボンディング部及び半導体素子が存在しない位置で、テープキャリアが切断される。

(13) この半導体装置の製造方法において、

前記テープキャリアには、スプロケットホールと位置決め穴とが形成され、  
前記位置決め穴を基準として、前記各工程を行ってもよい。

こうすることで、テープキャリアを引き出すときにスプロケットホールが変形しても、位置決め穴を基準として、各種の位置決めを行うことができる。

(14) この半導体装置の製造方法において、

前記テープキャリアには、スルーホールが形成され、

前記外部電極は、前記スルーホールを介して前記ボンディング部に接続され、  
かつ、前記ボンディング部が形成された面とは反対側の面に設けられてもよい。

(15) この半導体装置の製造方法において、

前記テープキャリアに外部電極を形成する工程は、前記テープキャリアに前記外部電極を形成するための材料を搭載する工程と、前記材料を加熱して熔融してボール状に形成するリフロー工程と、を含んでもよい。

(16) 本発明に係る半導体モジュールは、マトリクス状にボンディング部が形成された矩形基板と、

前記ボンディング部に対応して配置されてなる複数の半導体素子と、

前記矩形基板と前記半導体素子とを接続する接着剤と、

を含む。

本発明によれば、マトリクス状（複数行複数列）に半導体素子が矩形基板に搭載されるので、一枚の矩形基板に多数の半導体素子の搭載が可能であり、半導体装置の生産性を向上することができる。本発明で、ボンディング部とは、個々の半導体素子を接続する部分のことで、例えば、半導体素子の電極が接合されるランドと、外部電極を形成するためのランドと、これらのランドを接続する配線などを含んでもよい。このボンディング部は、基板上に設けられるものであって、デバイスホール内に突出するものではない。

(17) この半導体モジュールにおいて、

前記接着剤は異方性導電膜からなり、

前記異方性導電膜は、前記半導体素子の前記電極が形成された面と前記ボンディング部との間に介在されてなり、

前記異方性導電膜に含まれる導電粒子を介して、前記ボンディングと前記電極とが電氣的に接続されていてもよい。

これによれば、異方性導電膜によってボンディング部と電極とが電氣的に導通するので、信頼性に優れた導通が確保される。

(18) この半導体モジュールにおいて、

前記矩形基板には、スルーホールが形成されており、

前記矩形基板における前記ボンディング部が形成された面とは反対側の面に、前記スルーホールを介して前記ボンディング部と電氣的に接続する外部電極が形成されてもよい。



(19) 本発明に係る半導体装置は、上記方法により製造される。

(20) 本発明に係る回路基板には、上記半導体装置が実装される。

(21) 本発明に係る電子機器は、上記回路基板を有する。

#### 図面の簡単な説明

図1は、本発明を適用した第1の実施形態に係る半導体装置の製造方法を示す図であり、図2は、本発明を適用した第1の実施形態に係る半導体装置の製造方法を示す図であり、図3は、本発明を適用した第1の実施形態に係る半導体装置の製造方法を示す図であり、図4は、本発明を適用した第1の実施形態に係る半導体装置の製造方法を示す図であり、図5は、本発明を適用した第1の実施形態に係る半導体装置の製造方法を示す図であり、図6は、本発明を適用した第1の実施形態に係る半導体装置の製造方法を示す図であり、図7A～図7Dは、本発明を適用した第1の実施形態に係る半導体装置の製造方法を示す図であり、図8は、本発明を適用した第1の実施形態に係る半導体装置の製造方法を示す図であり、図9は、本発明を適用した第1の実施形態に係る半導体装置の製造方法を示す図であり、図10は、本発明を適用した第2の実施形態に係る半導体装置の製造方法を示す図であり、図11A及び図11Bは、本発明を適用した第2の実施形態に係る半導体装置の製造方法を示す図であり、図12は、本発明を適用した第3の実施形態に係る半導体装置の製造方法を示す図であり、図13は、本発明を適用した第3の実施形態に係る半導体装置の製造方法を示す図であり、図14は、本実施形態に係る半導体装置が実装された回路基板を示す図であり、図15は、本実施形態に係る半導体装置が実装された回路基板を備える電子機器を示す図であり、図16は、その他の実施形態に係るテープキャリアを示す図であり、図17は、その他の実施形態に係るテープキャリアを示す図である。

#### 発明を実施するための最良の形態

以下、本発明の好適な実施の形態について図面を参照して説明する。

(第1の実施の形態)

図1～図9は、第1の実施の形態に係る半導体装置の製造方法を示す図である。本実施形態では、図1に示すテープキャリア10が使用される。図2は図1のII-II線断面図であり、図3は図1のIII-III線断面図である。また、各図面では、説明のために部材の厚みや大きさの比率が実際のものとは異なるが、この比率に限定されるものではない。

テープキャリア10は、長尺状又はテープ状の基板12と、基板12の少なくとも一方の面に形成された複数のボンディング部14と、で構成され、図示しないリールに巻き取られて用意される。なお、テープキャリア10は、基板12に銅箔などの導電箔が接着剤にて貼り付けられた後、エッチング法などでボンディング部14が形成された3層テープであっても、接着剤を使用しない2層テープであってもよい。2層テープでは、スパッタリング等により基板に銅などの導電性の膜を被着し、これをエッチングしてボンディング部が形成されるか、銅箔などの導電箔上にポリイミド樹脂等の基板となるワニス塗布してキュアした後、ボンディング部が形成される。

基板12は、一般的なテープキャリアに使用される有機系又は樹脂系の材料から形成することができるが、可撓性があれば材料は限定されない。可撓性は、3層テープよりも、接着剤のない2層テープが一般的に優れている。さらに、可撓性を増すために、TAB等で行われるようにして部分的なパンチング、オーバーハング等を付加しても良い。

基板12には、幅方向の両端部に、長さ方向に沿って連続的にスプロケットホール16が形成されている。スプロケットホール16は、テープキャリア10を巻き取ったり引き出すときに、図示しないスプロケットに噛み合うようになっている。

基板12には、図2に拡大して示すように、スルーホール18が形成されている。スルーホール18の一方の開口は、ボンディング部14によって覆われて塞がれている。すなわち、ボンディング部14は、スルーホール18上をまたいで形成されている（オーバーハング）。もちろん、基板12の両側に開口を有する一般的なスルーホールを用いてもよい。スルーホール18の内面は、図2のよう

に基板 1 2 の基材が露出していても良いし、必要に応じて銅などのメッキを施しておいても良い。こうすることで、基板 1 2 の一方の面に形成されたボンディング部 1 4 から、スルーホール 1 8 を介して電氣的に接続をとって、他方の面に外部電極 3 8 (図 7 D 参照) を形成することができる。

ボンディング部 1 4 は、基板 1 2 の幅方向に複数形成され、かつ、基板 1 2 の長さ方向に繰り返して形成されている。ボンディング部 1 4 は、基板 1 2 上に形成されたものであって、デバイスホールに突出するものではない。したがって、基板 1 2 にデバイスホールを形成する必要がないので、デバイスホールの無いテープキャリア 1 0 を使用することができる。このテープキャリア 1 0 によれば、デバイスホールが無いので撓みが少ない。一つのボンディング部 1 4 には、一つの半導体素子 3 2 (図 7 B 参照) が接続される。ボンディング部 1 4 とは、個々の半導体素子 3 2 を接続する部分のことで、例えば、半導体素子 3 2 の電極 3 4 が接合されるランドと、外部電極 3 8 (図 7 D 参照) を形成するためのランドと、これらのランドを接続する配線などを含む。なお、図 1 には、ボンディング部 1 4 の形成領域のみが示されており、詳細を省略してある。本実施の形態では、基板 1 2 の幅方向に複数のボンディング部 1 4 が形成されているので、基板 1 2 の幅方向に複数の半導体素子 3 2 が搭載される。また、基板 1 2 の長さ方向に繰り返してボンディング部 1 4 が形成されているので、基板 1 2 の長さ方向に繰り返して半導体素子 3 2 が搭載される。

基板 1 2 には、図 3 に示すように、各ボンディング部 1 4 の位置を認識するための位置決め穴 2 0 が形成されている。詳しくは、位置決め穴 2 0 は、基板 1 2 の幅方向に並ぶ一行のボンディング部 1 4 のうち、基板 1 2 の幅方向の両外側に位置するボンディング部 1 4 の、さらに外側に形成されている。また、ボンディング部 1 4 の 2 つの角部付近に一对の位置決め穴 2 0 が形成されている。このように形成された位置決め穴 2 0 によって、基板 1 2 の幅方向に並ぶ一行のボンディング部 1 4 の位置を認識することができる。

基板 1 2 には、図 1 に示すように、一对の認識マーク 2 2 が形成されている。認識マーク 2 2 は、マトリクス状に複数行複数列で並ぶボンディング部 1 4 を区

画して認識できるようにするものである。本実施の形態では、基板 12 の長さ方向に 4 つ、基板 12 の幅方向に 5 つ、すなわち  $4 \times 5$  個のボンディング部 14 を区画するように、一对の L 字状の認識マーク 22 が形成されている。一对の認識マーク 22 にて区画されるボンディング部 14 の個数及び認識マーク 22 の形状は、任意に決めることができる。また、2 層テープが使用される場合には、認識マーク 22 は、ボンディング部 14 の形成と同時に、ボンディング部 14 と同じ材料で形成することができる。

一对の認識マーク 22 は、ボンディング部 14 のうちの基板 12 の幅方向に一行を飛ばして、マトリクス状のボンディング部 14 を区画している。言い換えると、一对の認識マーク 22 にて区画されたマトリクス状のボンディング部 14 と、その隣で一对の認識マーク 22 にて区画されたマトリクス状のボンディング部 14 との間には、幅方向に一行のボンディング部 14 が残るようになっている。この区画から外れるのは、テープキャリア 10 の幅方向に一行のボンディング部 14 を基準として、長さ方向に自然数  $n \times$  定数  $k$  番目の幅方向に一行のボンディング部 14 である。例えば、図 1 に示す本実施の形態では、

$k = 5$  である。したがって、いずれかの一行のボンディング部 14 を基準として、長さ方向に、5、10、15、20、…番目の一行のボンディング部 14 が、一对の認識マーク 22 による区画からはずれる。この区画から外れた一行のボンディング部 14 のいずれかを、切断領域として利用する。例えば、後述するハンダボール形成工程以降、テープキャリアを短冊基板として流動したい場合、後述するフェースダウンボンディング工程後、テープキャリア 10 を切断することができる。本実施の形態では、どの工程でも短冊基板として切断できることがメリットとなっている。さらに、一行あいている場所が存在するため、巻き取り方向の可撓性がより増すのが、本実施の形態の特徴である。

図 4 は、テープキャリア 10 を切断する工程を示す図である。同図に示すように、テープキャリア 10 は、リール 24 に巻き取られて用意されている。そしてテープキャリア 10 を、リール 24 から引き出して、カッターなどの切断治具 26 にて矩形基板 28 に切断する。図 5 には、この矩形基板 28 が示されている。

テープキャリア 10 の切断位置は、テープキャリア 10 のいずれかの幅方向に一行のボンディング部 14 を基準として、長さ方向に自然数  $n \times$  定数  $d$  番目の幅方向に一行のボンディング部 14 上である。例えば、図 1 に示す本実施の形態では、

$d = 5$  である。したがって、いずれかの一行のボンディング部 14 を基準として、長さ方向に、5、10、15、20、…番目の一行のボンディング部 14 上で、テープキャリア 10 が切断される。

これによれば、ボンディング部 14 上でテープキャリア 10 を切断するので、長さ方向で隣同士のボンディング部 14 間で切断するよりも、切断領域を広く確保することができる。その結果、切断作業が容易になるのみならず、図 5 に示す矩形基板 28 に残されるボンディング部 14 に切断時のストレスが伝達しなくなり、歩留まりを向上させることができる。

なお、本実施の形態では、上述した認識マーク 22 による区画から外れた全ての行のボンディング部 14 上で、テープキャリア 10 が切断される。このことは、 $k = d = 5$  であることで示される。したがって、一对の認識マーク 22 の区画からはずれた全ての行のボンディング部 14 上で、テープキャリア 10 は切断される。

その変形例として、

$k < d$  として、テープキャリア 10 から、図 6 に示す矩形基板 58 に切断してもよい。矩形基板 58 は、認識マーク 22 による区画から外れた全ての行のボンディング部 14 のうち、いくつかの行のボンディング部 14 上でのみ、テープキャリア 10 が切断されて得られる。具体的には、図 6 に示す例では、テープキャリア 10 の切断位置を決める式の自然数  $n \times$  定数  $d$  において、

$d = 10$  となっている。そして、いずれかの一行のボンディング部 14 を基準として、長さ方向に、10、20、30、…番目の一行のボンディング部 14 上で、テープキャリア 10 が切断される。そして、矩形基板 58 には、複数対の認識マーク 22 によって、複数のマトリクス形状に並ぶボンディング部 14 が形成されている。それぞれのマトリクス形状のボンディング部 14 の間には、認識マ

ーク 22 による区画から外れた一行のボンディング部 14 が形成されている。

上述してきた認識マーク 22 は、スルーホール 18 上にオーバーハングしていてもよい。こうすることで、例えばハンダボール形成時、裏面から認識マーク 22 を確認して、ハンダボール形成することができる。このため、さらに形成歩留まりを上げることができる。

こうして、図 5 又は図 6 に示す矩形基板 28、58 が得られると、次の工程に移る。以下の工程は、図 5 に示す矩形基板 28 を使用した例である。

本実施の形態で、半導体素子 32 の実装の形態は、フェースアップボンディングであってもフェースダウンボンディングであってもよい。フェースアップボンディングでは、半導体素子 32 の電極 34 とボンディング部 14 は、ワイヤーボンディングもしくは TAB ボンディングで接続され、その後半導体素子 32 の実装部は樹脂で覆われることが多い。フェースダウンボンディングでは、導電樹脂ペーストによるもの、Au-Au、Au-Sn、ハンダなどによる金属接合によるもの、絶縁樹脂の収縮力によるものなどの形態があり、そのいずれの形態を用いてもよい。本実施の形態では、異方性導電膜 30 を使用して半導体チップ 32 をフェースダウンボンディングする方法で説明する。本実施の形態では、接着剤として異方性導電膜 30 を使用するが、本発明では、接着剤は半導体素子 32 を接着するためのものであるから、絶縁性の接着剤を使用してもよい。

図 7 A は、矩形基板 28 に異方性導電膜を貼り付ける工程を示す図である。異方性導電膜 30 は、接着剤（バインダ）に導電粒子（導電フィラー）が分散されたもので、分散剤が添加される場合もある。異方性導電膜 30 は、予めシート状に形成されてから矩形基板 28 に貼り付けてもよく、あるいは異方性導電接着剤として液状のまま矩形基板 28 に設けてもよい。なお、異方性導電膜 30 の接着剤として、熱硬化性の接着剤が使用されることが多い。異方性導電膜 30 は、少なくとも各ボンディング部 14 上に設けられる。あるいは、矩形基板 28 の全体を覆うように異方性導電膜 30 を設ければ、簡単にその工程を行うことができる。なお、矩形基板 28 の外周端部を除いて異方性導電膜 30 を設ければ、矩形基板 28 の外周端面に異方性導電膜 30 が付着しないようになり、その後の矩形基板

28の取り扱い上都合がよい。

次に、図7Bに示すように、異方性導電膜30上に、複数の半導体素子32を載せる（フェースダウンボンディング工程）。上述したように、矩形基板28には、複数行複数列でボンディング部14が形成されており、各ボンディング部14上に個々の半導体素子32を載せる。半導体素子32には複数の電極34が設けられており、電極34が設けられた面36を異方性導電膜30上に載せる。また、ボンディング部14は、電極34の配置に応じた形状になっており、電極34を位置合わせして半導体素子32を載せる。その位置合わせには、位置決め穴20も利用することができる。あるいは、専用の認識パターンを形成してもよい。なお、ボンディング部14には、電極34に対応する位置に、他の部分よりも幅の広いランドが形成されることが好ましい。

異方性導電膜30上には、半導体素子32を1個ずつ載せてもよいし、複数の半導体素子32を同時に載せてもよい。例えば、1枚の矩形基板28の全てのボンディング部14に対応する個数の半導体素子32を同時に載せてもよい。

なお、半導体素子32は、二辺にのみ電極34が形成されたものであっても、四辺に電極34が形成されたものでもよい。電極34は、金又はハンダ等の突起をA1パッド上に設けたものを用いることが多いが、ボンディング部14に突起を設けたり又はボンディング部14をエッチングして突起を形成してもよい。

以上の工程により、半導体素子32の電極34が形成された面36と、矩形基板28のボンディング部14が形成された面と、の間に異方性導電膜30を介在する。半導体素子32を1個ずつ載せる場合であっても、全ての半導体素子32を載せ終えてから次の工程に進むことが好ましい。

次に、図7Cに示すように、治具40を、半導体素子32の電極34が形成された面36とは反対の面に押しつけて、半導体素子32をボンディング部14の方向に加圧する。治具40は、図示しないヒータを内蔵しており、半導体素子32を加熱する。なお、図示するように、複数の半導体素子32を一括圧着してもよいし、各半導体素子32を1個ずつ圧着してもよい。

こうして、半導体素子32の電極34と、ボンディング部14とは、異方性導

電膜 30 の導電粒子を介して電氣的に導通する。本実施形態によれば、異方性導電膜 30 によってボンディング部 14 と電極 34 とを電氣的に導通させるのと同時に、半導体素子 32 と基板 12 のアンダーフィルを同時に行えるので、信頼性及び生産性に優れた方法で半導体装置を製造することができる。

また、治具 40 によって半導体素子 32 が加熱されているので、異方性導電膜 30 の接着剤は、少なくとも半導体素子 32 の面 36 との接触領域において硬化する。使用される接着剤の硬化メカニズムに沿った方法で、接着剤にエネルギーを加えればよい。

次に、図 7 D に示すように、矩形基板 28 に外部電極 38 を設ける。そのためには、まず矩形基板 28 のスルーホール 18 内及びその付近にハンダを設ける。ハンダは、例えばクリームハンダを用いて、印刷法により設けることができる。また、予め形成されたハンダボールを上記位置に載せてもよく、この場合には、位置決め穴 20 を利用して、ハンダボールの位置合わせを行うことができる。

続いて、リフロー工程においてハンダを加熱して溶融し、表面張力によりハンダをボール状に形成することで外部電極 38 を設ける。外部電極 38 は、スルーホール 18 を介して、ボンディング部 14 とは反対側の面でボンディング部 14 に電氣的に接続されている。また、ボンディング部 14 は、半導体素子 32 の電極 34 に電氣的に接続されている。したがって、外部電極 38 は、半導体素子 32 の電極 34 に電氣的に接続されている。

なお、必要に応じて、外部電極 38 の形成後、洗浄、マーキング及びキュアを行う。これらの工程でも、必要があれば位置決め穴 20 を利用して位置合わせを行うことができる。

以上の工程により、図 8 に示す半導体モジュール 42 が得られる。半導体モジュール 42 は、複数行複数列の半導体装置が一体化されたものである。半導体モジュール 42 は、複数行複数列に並べられたボンディング部 14 が形成された矩形基板 28 を含む。矩形基板 28 には、各ボンディング部 14 ごとに半導体素子 32 が搭載されている。また、半導体素子 32 の電極 34 とボンディング部 14 とが異方性導電膜 30 を介して電氣的に接続されている。矩形基板 28 には、ボ



ンディング部 1 4 とは反対側の面に、スルーホール 1 8 を介してボンディング部 1 4 に電氣的に接続される外部電極 3 8 が設けられている。したがって、複数行複数列の半導体素子 3 2 のそれぞれのついて、電極 3 4 に電氣的に接続される外部電極 3 8 を有する。したがって、各半導体素子 3 2 ごとに、半導体装置が構成されている。したがって、個々の半導体素子 3 2 ごとに、矩形基板 2 8 を個片に分離すると、この個片が完成品としての半導体装置となる。矩形基板 2 8 を個片に分離する工程の一例として、矩形基板 2 8 を個片に打ち抜いてもよい。矩形基板 2 8 を打ち抜くときには、位置決め穴 2 0 を利用して、位置合わせを行うことができる。また、テープキャリア製造中には不良部分も混入するが、その場所には、個々の不良基板認識マークを付けておき、良品チップを搭載しないようにすれば良い。こうすることで、不良に付加価値を付けずに済む。また、その場所を後工程（例えばハンダボール形成工程）のために、均一化したければ、不良半導体素子をダミーで搭載し、後述する個片抜き後、不良として分別してもよい。

図 9 は、半導体モジュール 4 2 を個片に打ち抜く工程を示す図である。同図において、矩形基板 2 8 における各半導体素子 3 2 の周囲を、固定刃等の固定治具 4 4 が挟んで固定している。そして、可動刃等の可動治具 4 6 にて、半導体素子 3 2 の周囲を打ち抜く。こうして、個片すなわち半導体装置 5 0 が得られる。

各半導体装置 5 0 に対して、必要に応じて、外観検査、電気特性の検査、バーニン等を行う。

本実施の形態によれば、異方性導電膜 3 0 によってボンディング部 1 4 と電極 3 4 とを電氣的に導通させるので、信頼性及び生産性に優れた方法で半導体装置 5 0 を製造することができる。また、テープキャリア 1 0 の幅方向には、複数のボンディング部 1 4 が並べて形成され、各ボンディング部 1 4 ごとに半導体素子 3 2 が接続される。したがって、マトリクス状に複数の半導体素子 3 2 が搭載されるので、本実施の形態は、半導体装置 5 0 の大量生産に適している。さらに、テープキャリア 1 0 は、リール 2 4 に巻き取られて用意され、矩形基板 2 8 に切断されてから、異方性導電膜 3 0 の貼り付け、半導体素子 3 2 の搭載及び押圧、外部電極 3 8 の形成、個片への打ち抜きが行われる。したがって、矩形基板 2 8

に対して少なくとも一つの工程が行われるので、全てをリール・トゥ・リールの工程で行う場合よりも取り扱いが容易になる場合がある。

また、個片切断までの工程全てをリール・トゥ・リールで行う場合も、前述したように、半導体素子が存在しない行があるために、巻き取り方向への可撓性が増すため、リール・トゥ・リールでの製造が容易となり、製品の歩留まりが向上する。

なお、テープキャリア 10 には、上述した 2 層又は 3 層テープのほかに、両面配線テープ、ビルドアップ配線テープ、ガラスエポキシ系テープなど、リールで供給可能なものであればいずれのものを使用してもよい。言い換えると、テープの材料にはリールで巻き取りが可能な程度のフレキシブル性を有する材料で且つ配線形成が可能な材料であれば、いかなるものでもよい。この点は、以下の各実施の形態においても同様のことである。

#### (第 2 の実施の形態)

図 10～図 11B は、第 2 の実施の形態に係る半導体装置の製造方法を示す図である。図 10 には、本実施の形態で使用されるテープキャリア 110 が示されている。

テープキャリア 110 は、図 1 に示すテープキャリア 10 における認識マーク 22 による区画から外れた一行のボンディング部 14 が形成されないようになっている。また、一行のボンディング部 14 が省略されていること自体がマークとなるので、認識マーク 22 も省略されている。

詳しくは、テープキャリア 110 には、いずれかの幅方向に一行のボンディング部 14 の形成用の領域 114 を基準として、長さ方向に自然数  $n \times$  定数  $k$  番目の幅方向に一行のボンディング部 14 の形成用の領域 114 を避けて、ボンディング部 14 が形成されている。例えば、図 10 に示す本実施の形態では、

$k = 5$  である。したがって、いずれかの一行のボンディング部 14 の形成用の領域 114 を基準として、長さ方向に、5、10、15、20、…番目の領域 114 上には、ボンディング部 14 が形成されないようになっている。

そして、いずれかの領域 114 を基準として、テープキャリア 110 の長さ方

向に自然数  $n \times$  定数  $d$  番目の領域 1 1 4 でテープキャリア 1 1 0 を切断することができる。

$k = d$  の場合には、全ての領域 1 1 4 でテープキャリア 1 1 0 を切断することになり、図 1 1 A に示す矩形基板 1 2 8 が得られる。

あるいは、

$k < d$  の場合、領域 1 1 4 のうちのいくつかのみでテープキャリア 1 1 0 を切断することになる。例えば、

$d = 10$  の場合には、いずれかの一行の領域 1 1 4 を基準として、長さ方向に、1 0、2 0、3 0、…番目の領域でテープキャリア 1 1 0 が切断される。そして、図 1 1 B に示す矩形基板 1 5 8 が得られる。

本実施の形態によれば、矩形基板 1 2 8、1 5 8 に切断される位置では、幅方向に一行のボンディング部 1 4 の形成用の領域 1 1 4 に、ボンディング部 1 4 が形成されないようになっている。こうすることで、切断領域を広く確保することができる。その結果、切断作業が容易になるのみならず、矩形基板 1 2 8、1 5 8 に残されるボンディング部 1 4 に切断時のストレスが伝達しなくなり、歩留まりを向上させることができる。しかも、ボンディング部 1 4 が形成されない領域 1 1 4 も、ボンディング部 1 4 の形成のための広さが確保されているので、ボンディング部 1 4 の形成位置がずれることがない。したがって、ボンディング部 1 4 の位置の認識を難しくすることがない。

その後、第 1 の実施の形態で使用した半導体素子 3 2 を、矩形基板 1 2 8 に搭載して、外部電極 3 8 を形成して、半導体モジュールを製造して、半導体装置を得ることができる。その詳細は、第 1 の実施の形態と同様であるので説明を省略する。

### (第 3 の実施の形態)

図 1 2 及び図 1 3 は、第 3 の実施の形態に係る半導体装置の製造方法を示す図である。上述した実施の形態では、テープキャリアを矩形基板に切断してから、異方性導電膜を設ける工程、半導体素子を載せる工程、半導体素子を押圧する工程、外部電極を設ける工程、個片に打ち抜く工程が行われた。本発明は、これに

限定されるものではなく、テープキャリアを矩形基板に切断することなく、全ての工程を行ってもよい。そのメリットは、第1の実施の形態で述べた。

図12は、テープキャリアに異方性導電膜を設ける工程を示す図である。本実施の形態では、図1に示すテープキャリア10が使用される。テープキャリア10は、図12に示すように、リール24に巻かれて用意され、他のリール24にて巻き取られるようになっている。すなわち、本実施の形態では、リール・トゥ・リールの工程が適用される。そして、2つのリール24間で、異方性導電膜30が、テープキャリア10に貼り付けられる。この場合には、異方性導電膜30は、テープ状をなしてリール124に巻かれて用意されることが好ましい。そして、テープキャリア10に連続的に異方性導電膜30を貼り付けたら一旦テープキャリア10を巻き取る。

次に、同様に、リール・トゥ・リールを適用して複数の半導体素子を連続してテープキャリア10に載せて、一旦テープキャリア10を巻き取る。次に、リール・トゥ・リールを適用して、載せられた半導体素子を連続的に押圧して配線パターンに電氣的に接続して、一旦テープキャリア10を巻き取る。次に、リール・トゥ・リールを適用して、全ての半導体素子に対応して連続的に外部電極を設けて、一旦テープキャリア10を巻き取る。これらの工程は、リール・トゥ・リールで行うことを除き、第1の実施の形態と同様であるので説明を省略する。

さらに、図13に示すように、リール・トゥ・リールを適用して、個片に打ち抜く工程も行う。すなわち、2つのリール24間で、図示しない半導体素子の搭載されたテープキャリア10を、治具146にて各半導体素子に対応して個片に打ち抜く。打ち抜き部を拡大すると、図9と同様になる。こうして、上記実施の形態と同様に、半導体装置を得ることができる。

なお、このような全ての工程をリール・トゥ・リールで行うのではなく、いずれかの時点で、テープキャリア10を矩形基板に切断してもよい。切断の時期は、例えば、異方性導電膜を設けた後で半導体素子を載せる前、半導体素子を載せた後で半導体素子を押圧する前、半導体素子を押圧した後で外部電極を設ける前、

外部電極を設けた後で個片に打ち抜く前のいずれの時点でもよい。

図14には、上述した実施形態に係る方法によって製造された半導体装置1100を実装した回路基板1000が示されている。回路基板1000には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板1000には、例えば銅からなるボンディング部が所望の回路となるように形成されている。そして、ボンディング部と半導体装置1100の外部電極とを機械的に接続することでそれらの電氣的導通が図られる。

なお、半導体装置1100は、実装面積をベアチップにて実装する面積にまで小さくすることができるので、この回路基板1000を電子機器に用いれば電子機器自体の小型化が図れる。また、同一面積内においてはより実装スペースを確保することができ、高機能化を図ることも可能である。

そして、この回路基板1000を備える電子機器として、図15には、ノート型パーソナルコンピュータ1200が示されている。

なお、能動部品か受動部品かを問わず、種々の面実装用の電子部品に本発明を応用することもできる。電子部品として、例えば、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ボリューム又はヒューズなどがある。

(その他の実施の形態)

図16は、その他の実施の形態に係るテープキャリアを示す図である。同図に示すテープキャリア200の基板12には、その一部を拡大して示すように、少なくとも1つの穴202が形成されている。穴202は、テープキャリア200の幅方向に延びる長穴であることが好ましい。また、複数の穴202を、テープキャリア200の幅方向に並べてもよい。穴202を形成することで、基板12が曲がりやすくなり、テープキャリア200をリールに巻き取りやすくなる。なお、配線パターン204が穴202上を通ってもよい。

図17は、その他の実施の形態に係るテープキャリアを示す図である。同図に示すテープキャリア300には、長手方向の一方を指す矢印302が形成されている。矢印302は、リール・トゥ・リールでテープキャリア300を流動させ

るときの方向を示している。

テープキャリア 300 には、長手方向に沿って横書きとなる第 1 の機種名 304 が形成されている。第 1 の機種名 304 は、リール・トゥ・リールでテープキャリア 300 を流動させるときに、作業者が読みとりやすい方向に記載されている。図 17 に示す第 1 の機種名 304 は、「1M×48」と表示してあり、1M バイトの半導体チップが搭載されて 48 個の外部端子を有する半導体装置を製造するためのものであることを意味する。テープキャリア 300 には、その幅方向に沿って横書きとなる第 2 の機種名 306 が形成されている。第 2 の機種名 306 は、第 1 の機種名 304 よりも詳細な内容を示している。

テープキャリア 300 には、個片不良マーク 308 が形成されている。個片不良マーク 308 は、いずれかのボンディング部 14 を特定できるように、例えば矢印の形状になっている。個片不良マーク 308 は、対応するボンディング部 14 が不良であれば打ち抜かれる。なお、個片不良マーク 308 が打ち抜かれて、不良であることが表示されたボンディング部 14 にも、良品の半導体チップと同じ形状のものを搭載することが好ましい。例えば、不良な半導体チップを搭載してもよい。こうすることで、不良なボンディング部 14 にもハンダボールを設けることができる。

テープキャリア 300 には、ボンディング部 14 のランドの位置を認識するための認識マーク 310、312 が形成されている。例えば、各ボンディング部 14 が矩形をなしており、四隅又は四隅に近い位置に認識マーク 310、312 を形成してもよい。図 17 に示す例では、矩形をなすボンディング部 14 の対角線の両端に位置する一对の角のうち、一方の角に近い位置に認識マーク 310 が形成され、他方の角に近い位置に認識マーク 312 が形成されている。また、一方の認識マーク 310 と他方の認識マーク 312 とは、拡大して示すように、形状が異なってもよい。認識マーク 310、312 の形状の違いを検出することで、テープキャリア 300 の向きが逆になっていた場合に、これを検出することができる。

テープキャリア 300 には、図 4 に示すように切断するときの位置を示す切断

マーク 3 1 4 が形成されている。図 1 7 の例では、切断位置に沿って延びる 2 本のメッキリードの間の領域が切断マーク 3 1 4 である。これによれば、切断位置はメッキリードの間であって、メッキリードを切断しないので、切断時に金属の切りくずが生じない。

矢印 3 0 2、第 1 又は第 2 の機種名 3 0 4、3 0 6、個片不良マーク 3 0 8、認識マーク 3 1 0、3 1 2 の全て又は少なくとも 1 つを、ボンディング 1 4 と同じ材料で同時に形成することが好ましい。

## 請求の範囲

1. マトリクス状にボンディング部が形成されたテープキャリアと半導体素子を接着剤により接着し、前記半導体素子に形成されてなる電極を前記ボンディング部に電氣的に接続し、各半導体素子ごとに、前記テープキャリアを個片に分離する半導体装置の製造方法。

2. 請求項 1 記載の半導体装置の製造方法において、

前記テープキャリアに複数の外部電極を設ける工程をさらに含む半導体装置の製造方法。

3. 請求項 1 記載の半導体装置の製造方法において、

前記テープキャリアを個片に分離する工程では、前記テープキャリアを個片に打ち抜く半導体装置の製造方法。

4. 請求項 1 記載の半導体装置の製造方法において、

前記接着剤には導電粒子が分散され、前記ボンディング部と前記半導体素子とを電氣的に接続する半導体装置の製造方法。

5. 請求項 4 記載の半導体装置の製造方法において、

前記半導体素子に形成されてなる電極と前記ボンディング部との接続は、

前記接着剤を、前記半導体素子の前記電極を有する面と前記ボンディング部との間に介在させ、前記半導体素子と前記テープキャリアとの間に圧力を加えて、前記導電粒子を介して行われる半導体装置の製造方法。

6. 請求項 1 記載の半導体装置の製造方法において、

リールから前記テープキャリアが引き出されて、前記工程のうちの少なくとも一部の工程が行われるとともに、他のリールに前記テープキャリアが巻き取られて次の工程に移る半導体装置の製造方法。

7. 請求項 1 記載の半導体装置の製造方法において、

前記工程のうち少なくとも一部の工程を、長さ方向に複数の前記ボンディング部を含む長さで前記テープキャリアを矩形基板に切断する工程の後に行う半導体装置の製造方法。

8. 請求項 7 記載の半導体装置の製造方法において、



前記テープキャリアには、前記矩形基板として切断される領域内に位置する前記ボンディング部を区画する認識マークが形成されている半導体装置の製造方法。

9. 請求項7記載の半導体装置の製造方法において、

前記テープキャリアを矩形基板に切断する工程は、前記半導体素子を前記テープキャリアに接着する前に行われ、

前記テープキャリアのいずれかの幅方向に一行の前記ボンディング部を基準として、長さ方向に自然数 $n \times$ 定数 $d$ 番目の幅方向に一行のボンディング部上で、前記テープキャリアを切断する半導体装置の製造方法。

10. 請求項7記載の半導体装置の製造方法において、

前記半導体素子を前記テープキャリアに接着する工程は、前記テープキャリアを矩形基板に切断する工程の前に行われ、

前記テープキャリアのいずれかの幅方向に一行の前記ボンディング部を基準として、長さ方向に自然数 $n \times$ 定数 $k$ 番目の幅方向に一行のボンディング部を避けて、前記半導体素子が前記ボンディング部上に載せられ、

前記基準から、長さ方向に自然数 $n \times$ 定数 $d$  ( $k \leq d$ ) 番目の幅方向に一行の配線パターン上で、前記テープキャリアを切断する半導体装置の製造方法。

11. 請求項7記載の半導体装置の製造方法において、

前記テープキャリアには、いずれかの幅方向に一行のボンディング部の形成用領域を基準として、長さ方向に自然数 $n \times$ 定数 $k$ 番目の幅方向に一行のボンディング部の形成用領域を避けて、前記ボンディング部が形成され、

前記テープキャリアを矩形基板に切断する工程は、前記半導体素子を前記テープキャリアに接着する前に行われ、

前記基準から、長さ方向に自然数 $n \times$ 定数 $d$  ( $k \leq d$ ) 番目の幅方向に一行の配線パターンの形成用領域で、前記テープキャリアを切断する半導体装置の製造方法。

12. 請求項7記載の半導体装置の製造方法において、

前記テープキャリアには、いずれかの幅方向に一行のボンディング部の形成用領域を基準として、長さ方向に自然数 $n \times$ 定数 $k$ 番目の幅方向に一行のボンディ

ング部の形成用領域を避けて、前記ボンディング部が形成され、

前記半導体素子を前記テープキャリアに接着する工程は、前記テープキャリアを矩形基板に切断する工程の前に行われ、

前記ボンディング部の形成された領域上のみにおいて、前記半導体素子が前記テープキャリアに接着され、

前記基準から、長さ方向に自然数  $n \times$  定数  $d$  ( $k \leq d$ ) 番目の幅方向に一行の配線パターンの形成用領域で、前記テープキャリアを切断する半導体装置の製造方法。

13. 請求項1から請求項12のいずれかに記載の半導体装置の製造方法において、

前記テープキャリアには、スプロケットホールと位置決め穴とが形成され、

前記位置決め穴を基準として、前記各工程を行う半導体装置の製造方法。

14. 請求項1から請求項12のいずれかに記載の半導体装置の製造方法において、

前記テープキャリアには、スルーホールが形成され、

前記外部電極は、前記スルーホールを介して前記ボンディング部に接続され、かつ、前記ボンディング部が形成された面とは反対側の面に設けられる半導体装置の製造方法。

15. 請求項14記載の半導体装置の製造方法において、

前記テープキャリアに外部電極を形成する工程は、前記テープキャリアに前記外部電極を形成するための材料を搭載する工程と、前記材料を加熱して溶融してボール状に形成するリフロー工程と、を含む半導体装置の製造方法。

16. マトリクス状にボンディング部が形成された矩形基板と、

前記ボンディング部に対応して配置されてなる複数の半導体素子と、

前記矩形基板と前記半導体素子とを接続する接着剤と、

を含む半導体モジュール。

17. 請求項16記載の半導体モジュールにおいて、

前記接着剤は異方性導電膜からなり、

前記異方性導電膜は、前記半導体素子の前記電極が形成された面と前記ボンディング部との間に介在されてなり、

前記異方性導電膜に含まれる導電粒子を介して、前記ボンディングと前記電極とが電氣的に接続されている半導体モジュール。

18. 請求項16記載の半導体モジュールにおいて、

前記矩形基板には、スルーホールが形成されており、

前記矩形基板における前記ボンディング部が形成された面とは反対側の面に、前記スルーホールを介して前記ボンディング部と電氣的に接続する外部電極が形成されてなる半導体モジュール。

19. 請求項1から請求項12のいずれかの方法により製造された半導体装置。

20. 請求項19記載の半導体装置が実装された回路基板。

21. 請求項20記載の回路基板を有する電子機器。

1 / 13

FIG.1

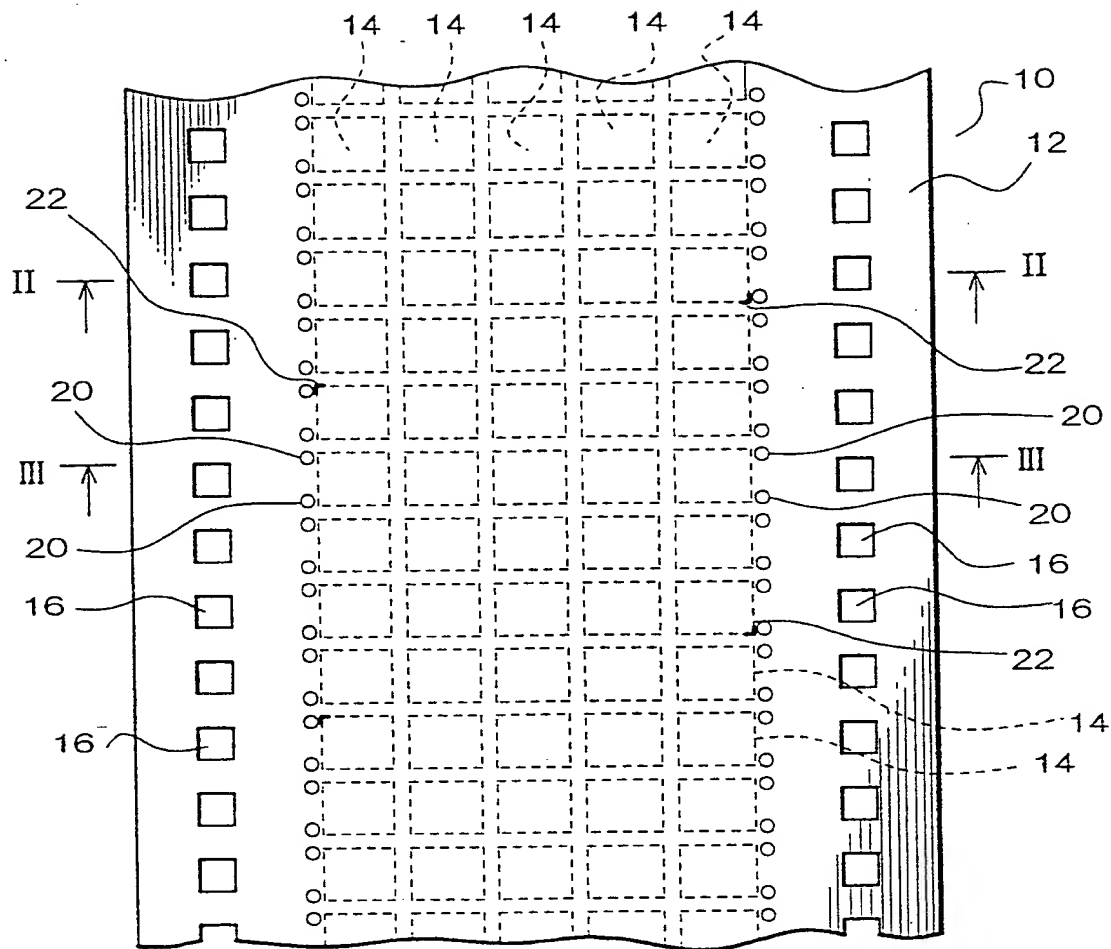
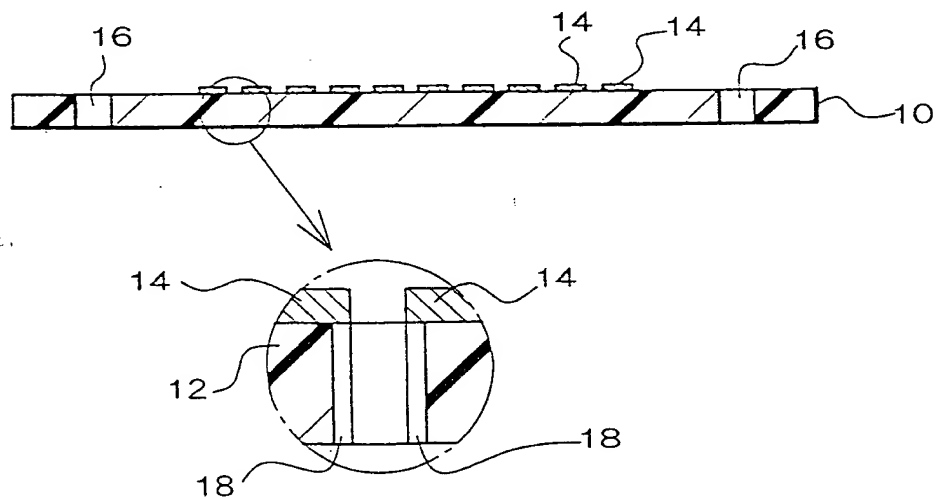


FIG.2



2 / 13

FIG.3

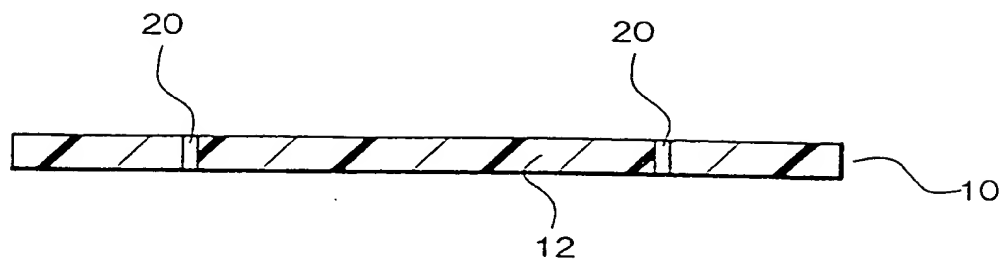


FIG.4

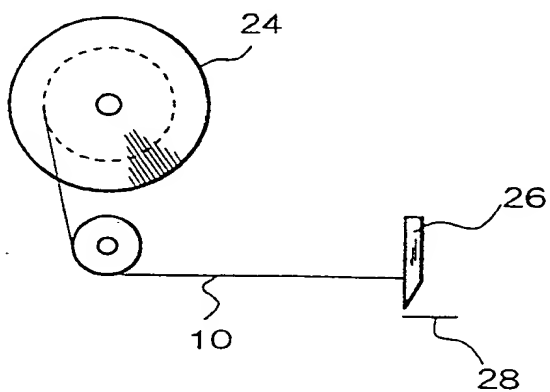
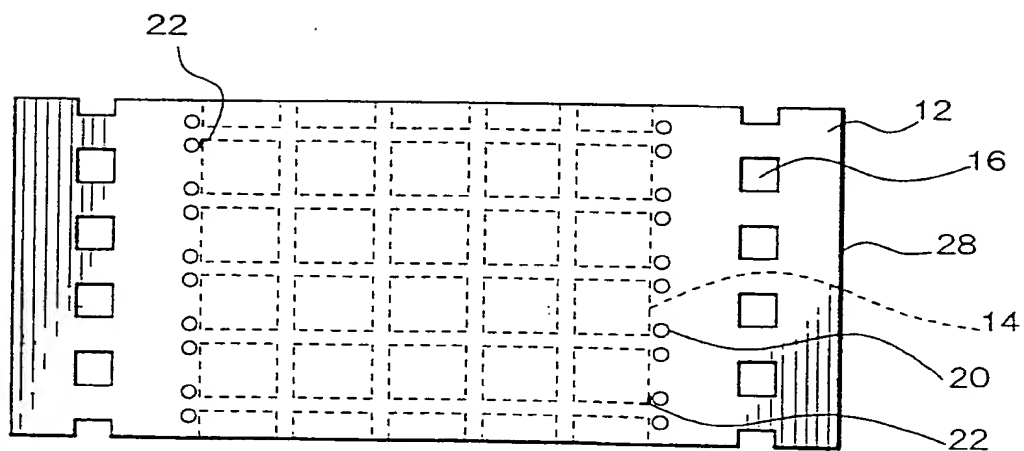
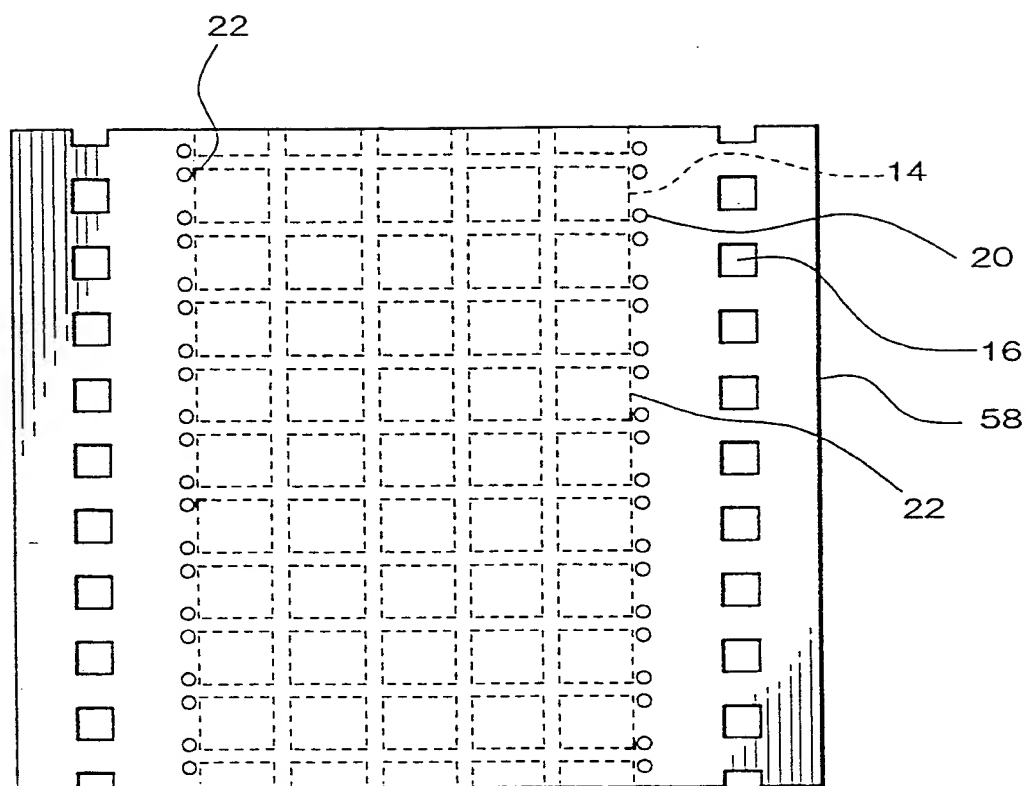


FIG.5



3 / 13

FIG.6



4 / 13

FIG.7A

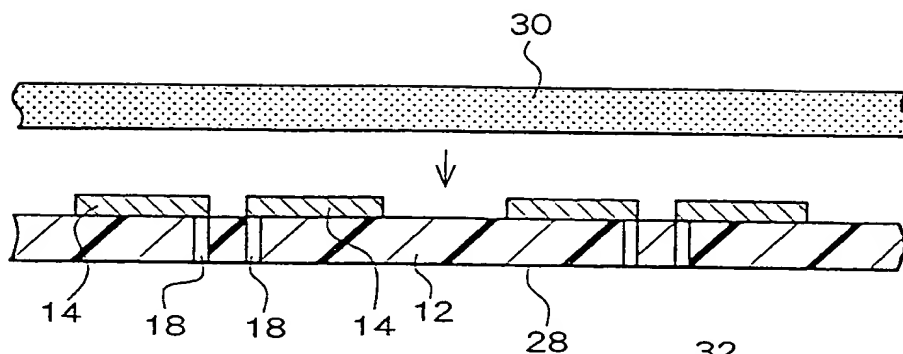


FIG.7B

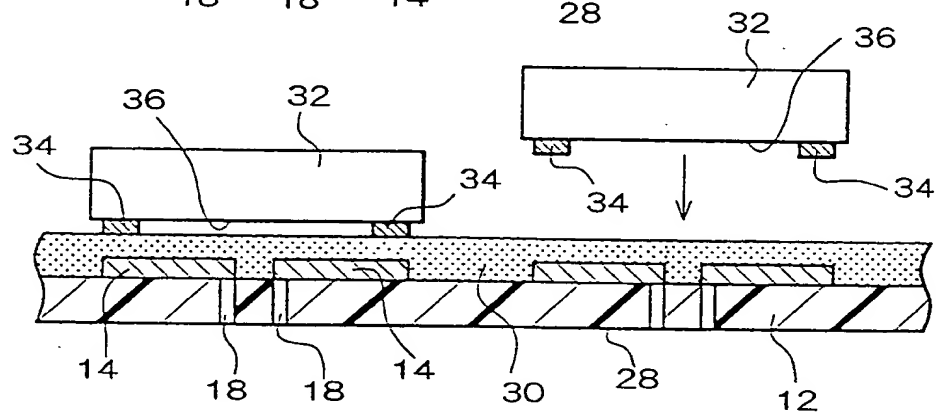


FIG.7C

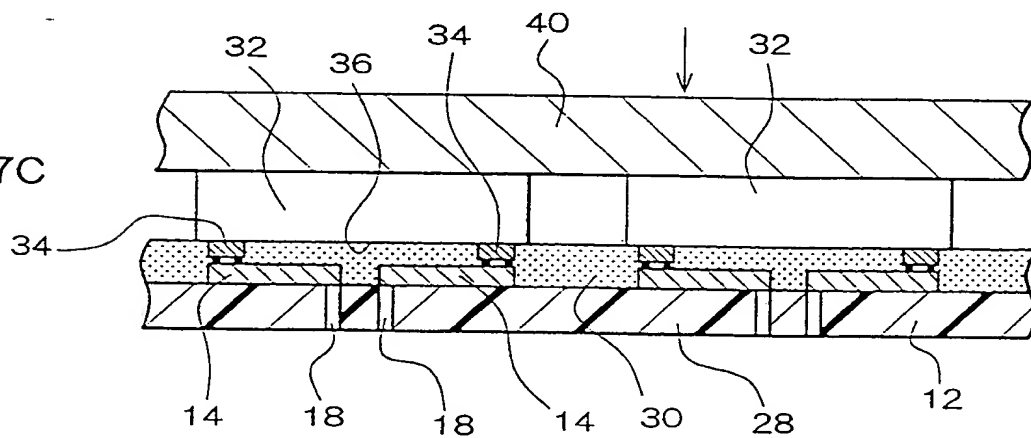


FIG.7D

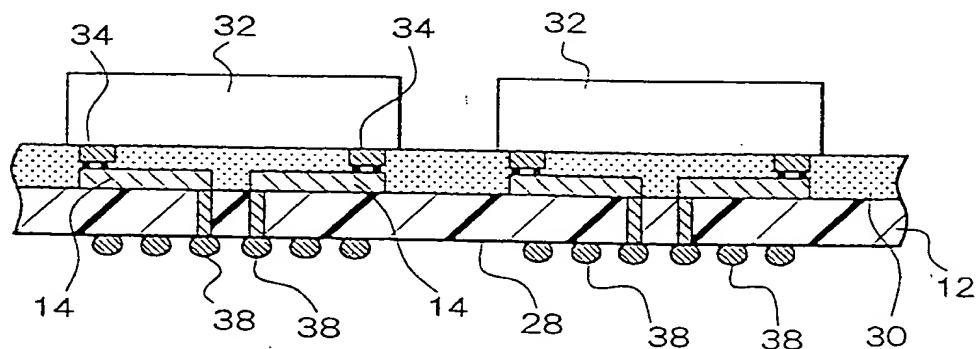


FIG.8

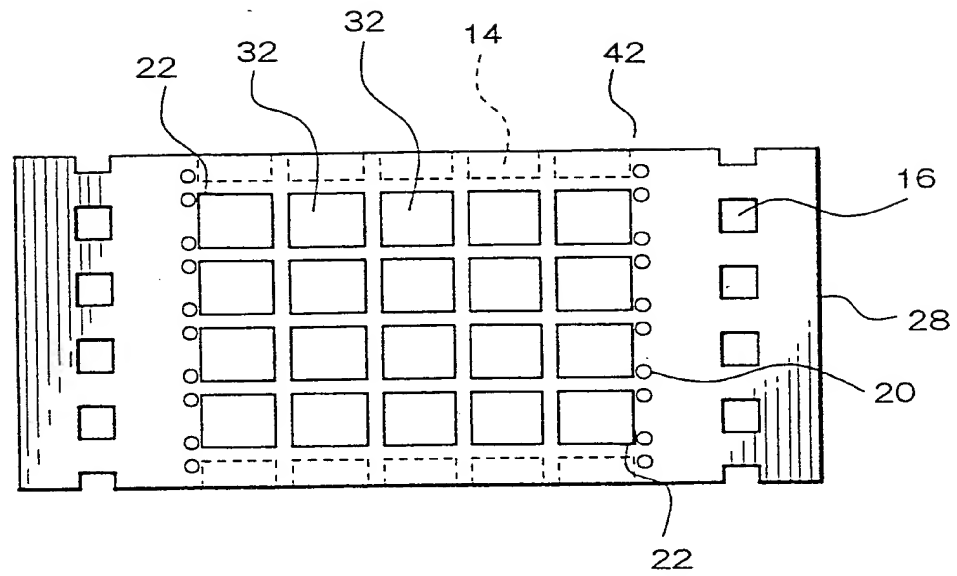
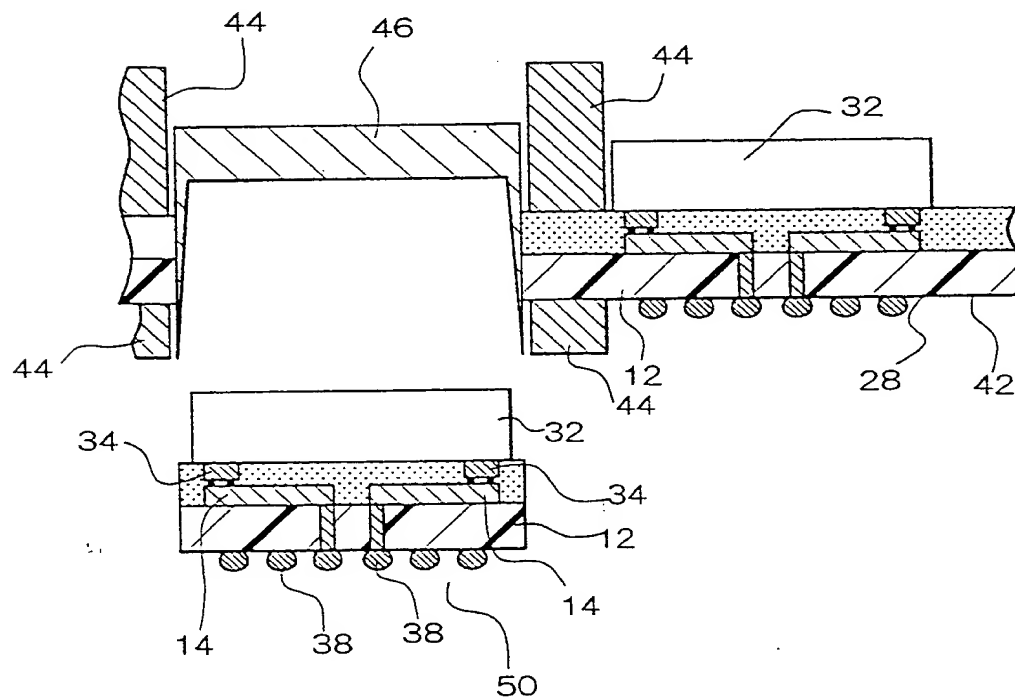


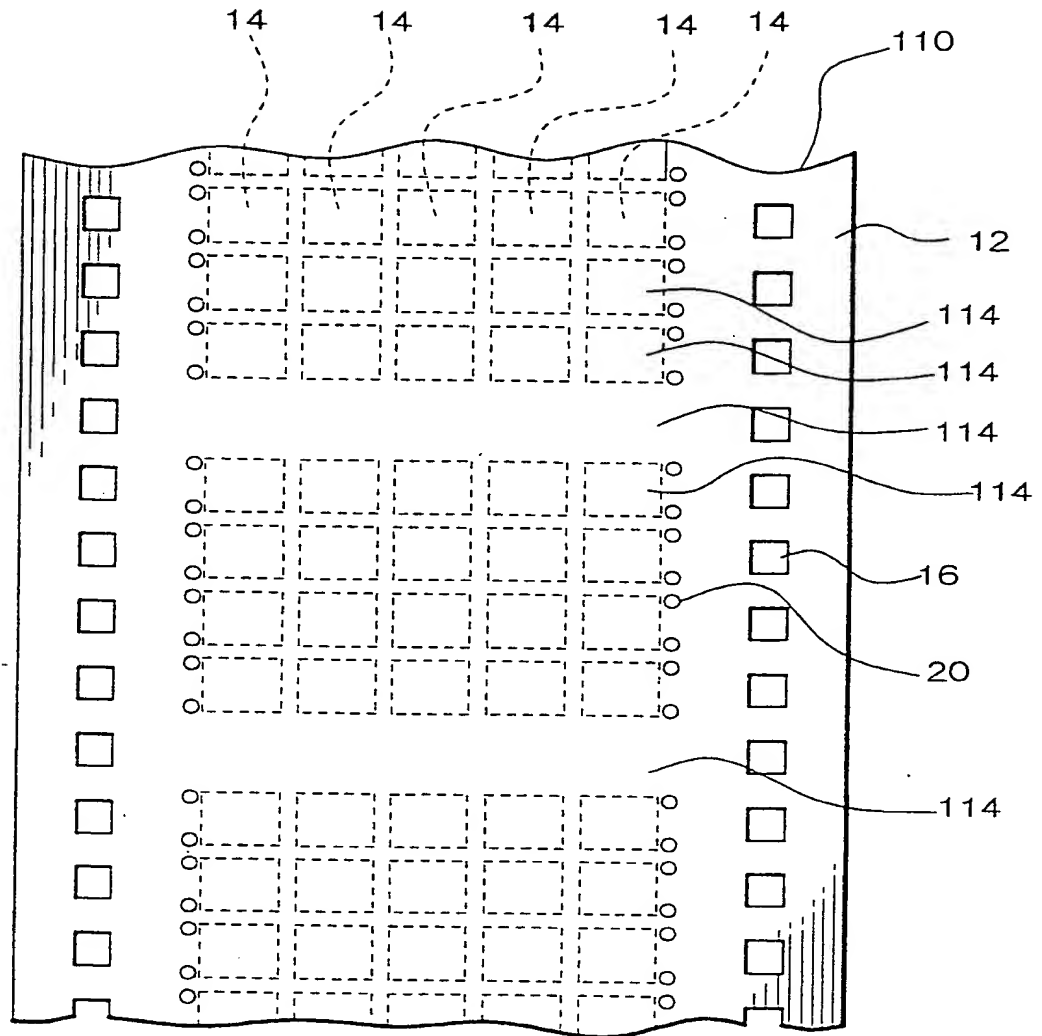
FIG.9





6 / 13

FIG.10



7 / 13

FIG.11A

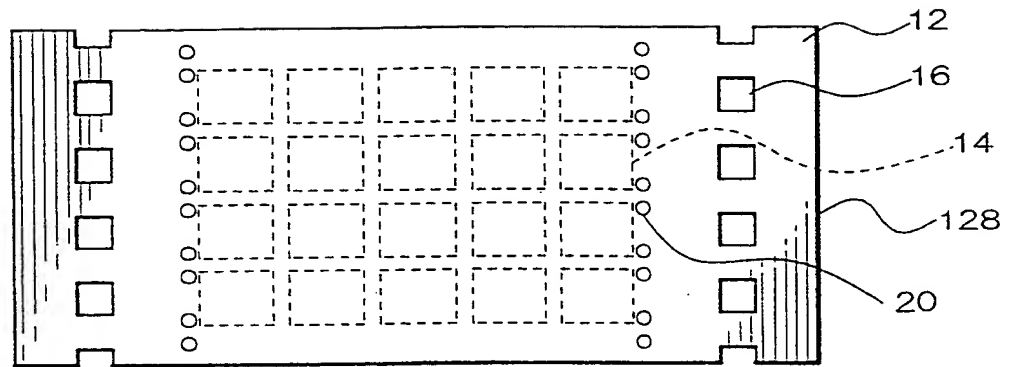


FIG.11B

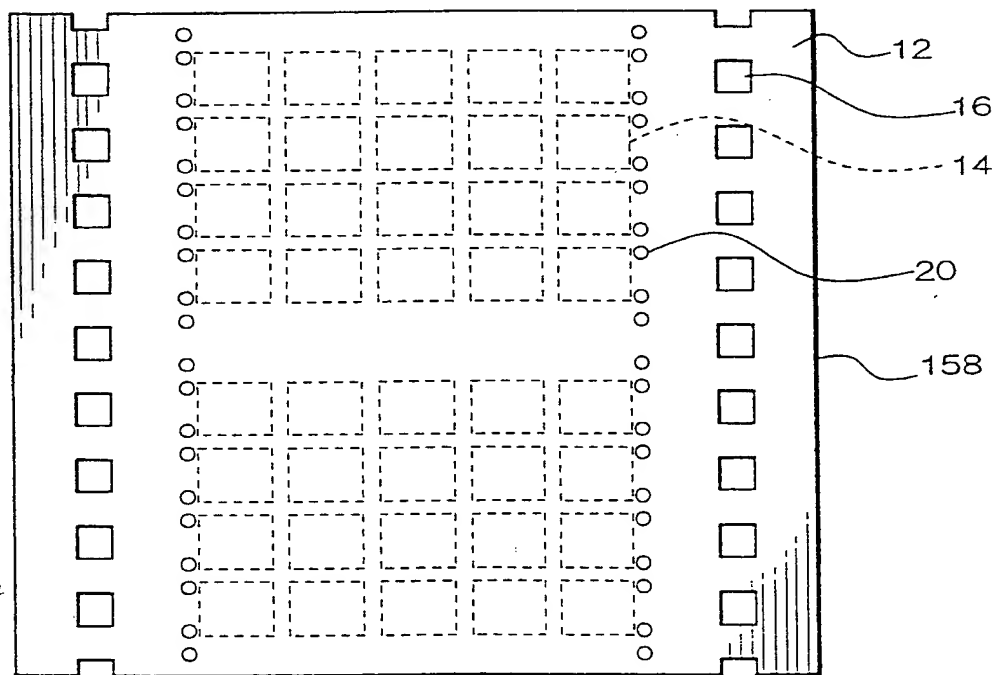


FIG.12

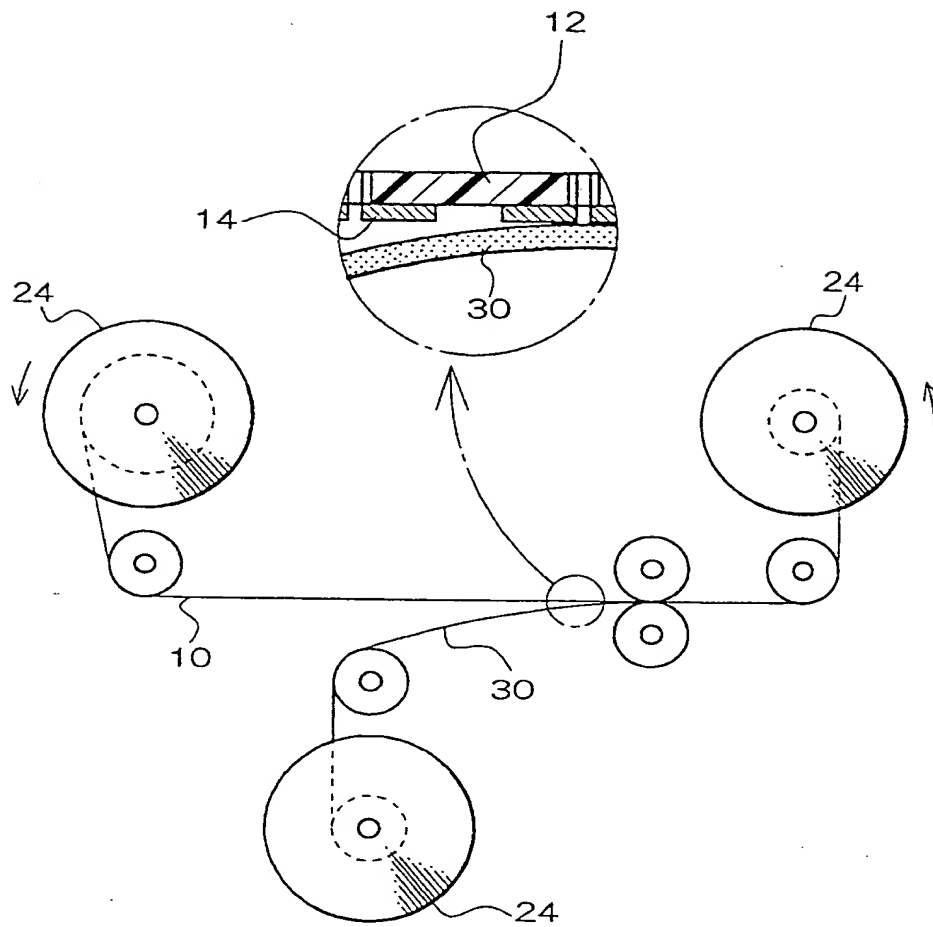
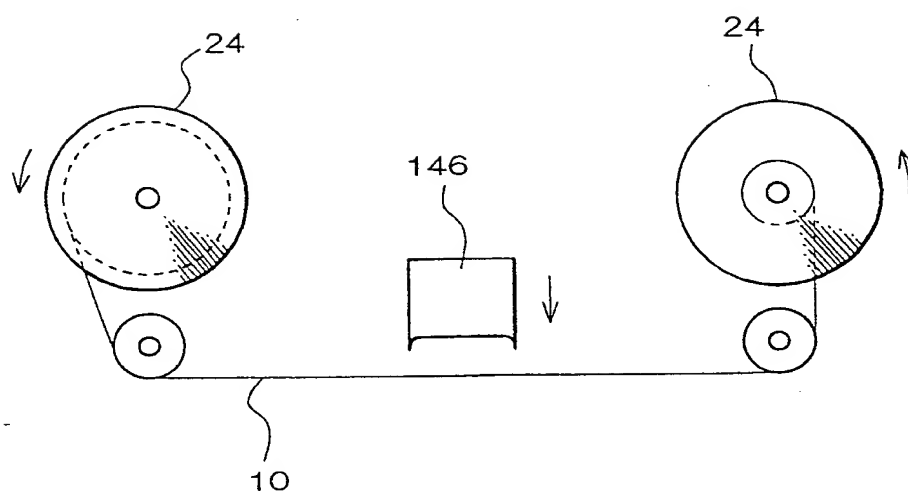
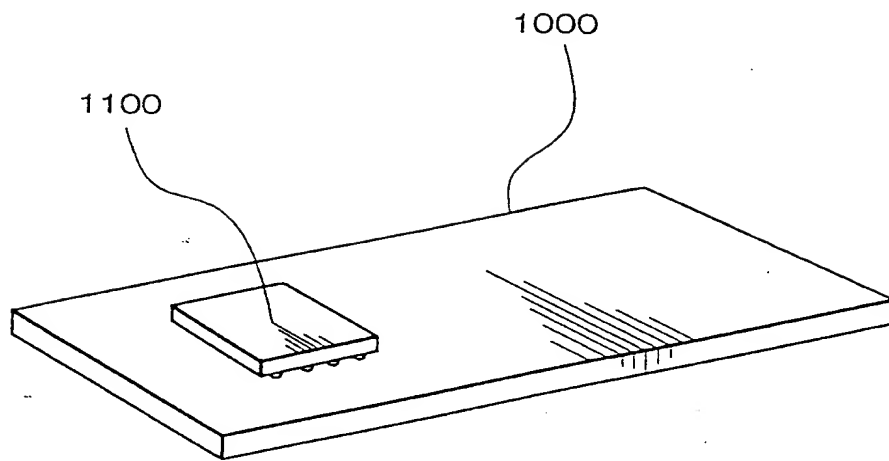


FIG.13



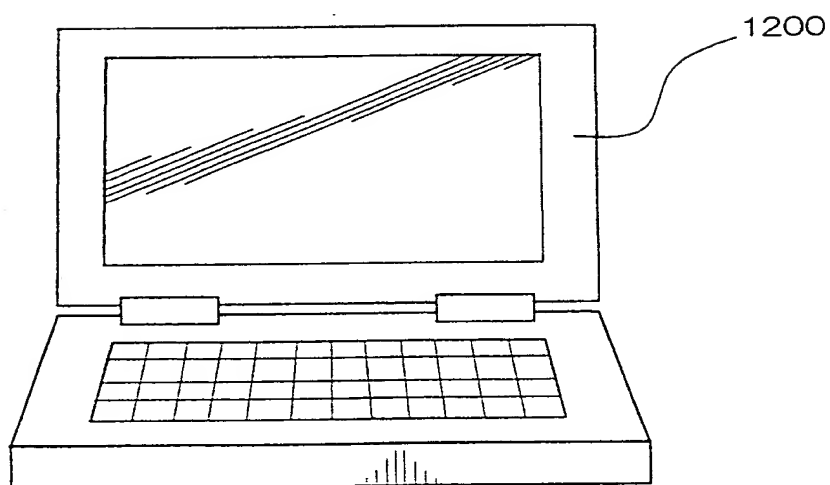
10 / 13

FIG.14



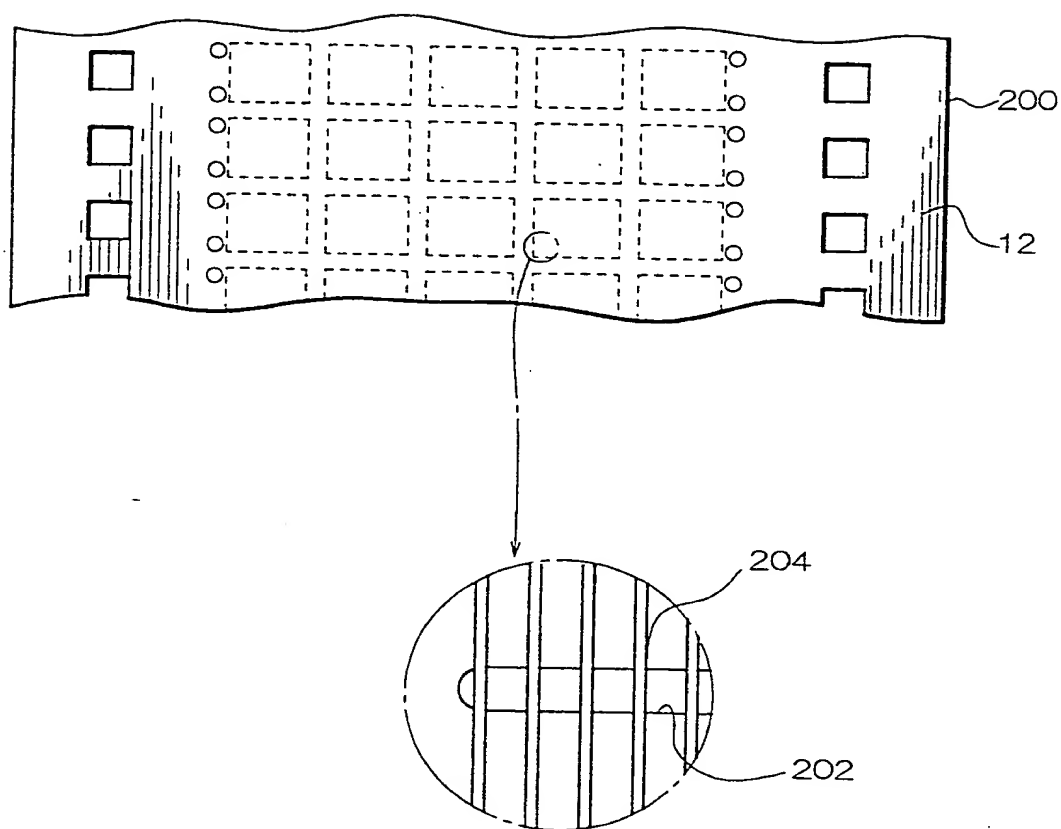
11 / 13

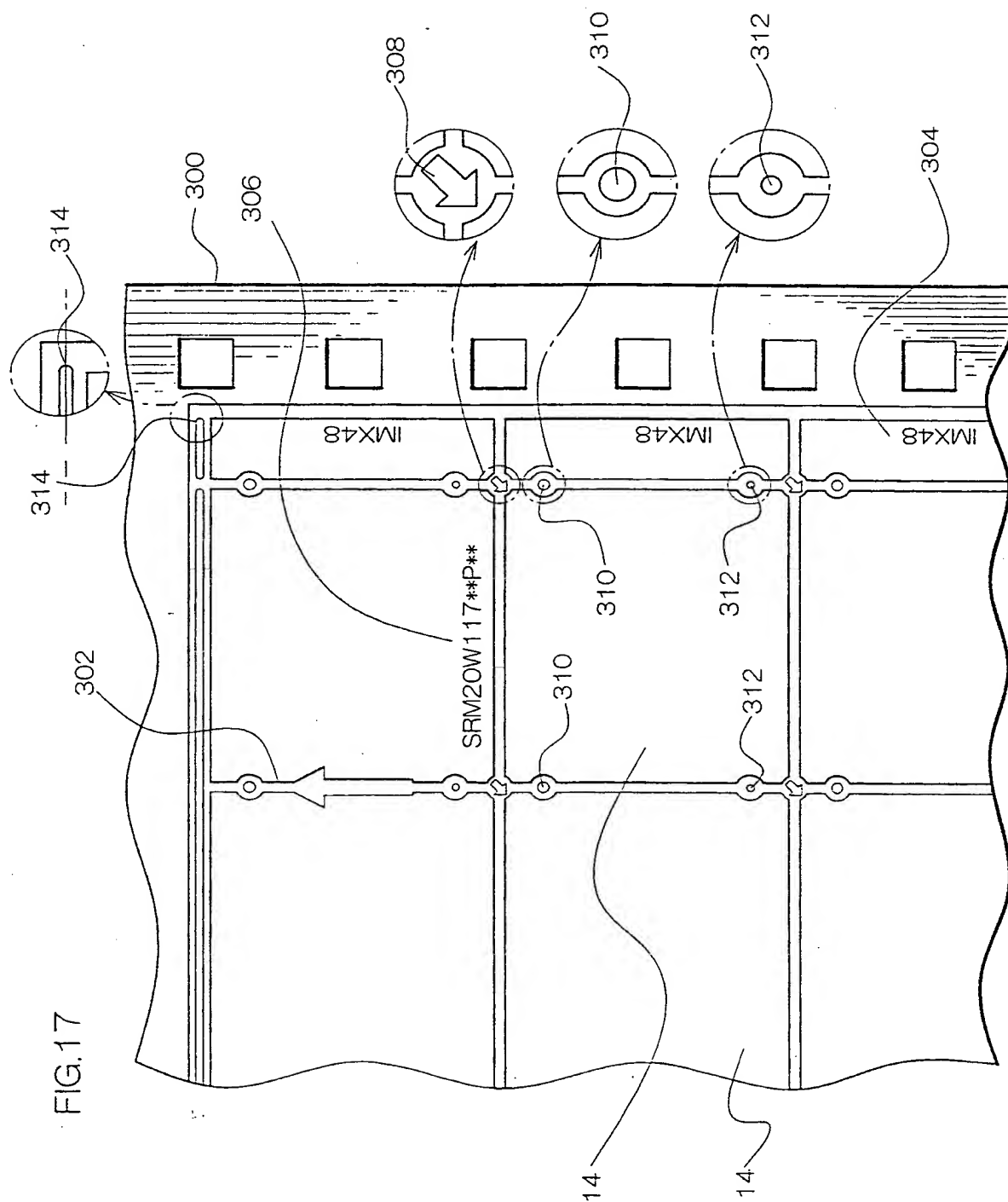
FIG.15



12 / 13

FIG.16







## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/03956

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>6</sup> H01L21/60

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>6</sup> H01L21/60Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999  
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 10-84014, A (Shinko Electric Industries Co., Ltd.), 31 March, 1998 (31. 03. 98), Full text ; all drawings & US, 5918113, A	1-7, 13-21
Y	JP, 9-293749, A (Zaidan Hojin Kogyo Gijutsu Kenkyuin), 11 November, 1997 (11. 11. 97), Full text ; all drawings (Family: none)	1-7, 13-21
Y	JP, 9-115950, A (NEC Corp.), 2 May, 1997 (02. 05. 97), Full text ; all drawings & US, 5759873, A & EP, 769812, A3	3
Y	JP, 6-163617, A (Nitto Denko Corp.), 10 June, 1994 (10. 06. 94), Full text ; all drawings (Family: none)	6

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
13 October, 1999 (13. 10. 99)Date of mailing of the international search report  
26 October, 1999 (26. 10. 99)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/03956

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 8-222600, A (Nitto Denko Corp.), 30 August, 1996 (30. 08. 96), Refer to the holes 14 for engagement shown in Figs. 1, 2 (Family: none)	13

## 国際調査報告

国際出願番号 PCT/J P 99/03956

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. CL<sup>8</sup> H01L21/60

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. CL<sup>8</sup> H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1999年

日本国特許実用新案公報 1994-1999年

日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 10-84014, A (新光電気株式会社), 31. 3月. 1998 (31. 03. 98), 全文、全図 & US, 5918113, A	1~7, 13~21
Y	J P, 9-293749, A (財団法人工業技術研究院), 11. 11月. 1997 (11. 11. 97), 全文、全図 (ファミリーなし)	1~7, 13~21
Y	J P, 9-115950, A (日本電気株式会社), 2. 5月. 1997 (02. 05. 97), 全文、全図 & US, 5759873, A & EP, 769812, A3	3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

13. 10. 99

国際調査報告の発送日

26.10.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

池淵 立

4 R

8831

電話番号 03-3581-1101 内線 3469

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 6-163617, A (日東電工株式会社), 10. 6月. 1994 (10. 06. 94), 全文、全図 (ファミリーなし)	6
Y	JP, 8-222600, A (日東電工株式会社), 30. 8月. 1996 (30. 08. 96), 図1、図2の係合用孔14に注意 (ファミリーなし)	13